



(19)

(11) Publication number: 2001043180 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 11219846

(51) Intl. Cl.: G06F 13/16 G06F 12/06 G06F 12/16

(22) Application date: 03.08.99

(30) Priority:

(43) Date of application publication: 16.02.01

(84) Designated contracting states:

(71) Applicant: MITSUBISHI ELECTRIC CORP

(72) Inventor: KURAFUJI TAKASHI
YAMADA AKIRA

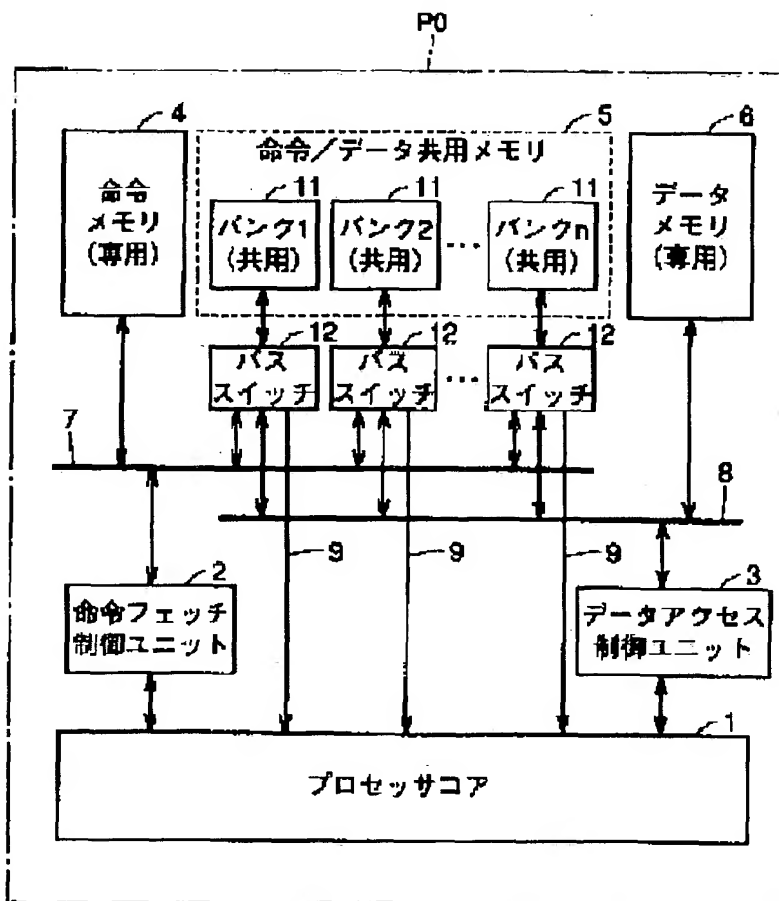
(74) Representative:

(54) MICROPROCESSOR
AND STORAGE DEVICE
THEREFOR

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a microprocessor capable of accessing plural resources in parallel without wait and also easily dealing with a change in the capacity of a memory by dividing the memory into plural banks and selectively coupling each bank to a first bus or second bus.

SOLUTION: Corresponding to plural banks 11 of an instruction/data shared memory 5 having the banks 11 to be selectively coupled to an instruction bus (first bus) 7 or data bus (second bus) 8, these banks 11 are selectively coupled to the instruction bus 7 or data bus 8. At the same time, the occurrence of access from the resource, to which the correspondent bank 11 is not allocated, to the bank 11 is detected and an exception signal 9 is outputted to a processor core 1. Namely, since the respective plural banks 11 can be selectively coupled to the first bus 7 and the second bus 8, the banks 11 can separately be allocated to plural resources.



COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-43180

(P2001-43180A)

(43) 公開日 平成13年2月16日 (2001.2.16)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト*(参考)
G 0 6 F 13/16	5 1 0	G 0 6 F 13/16	5 1 0 D 5 B 0 1 8
12/06	5 2 0	12/06	5 2 0 A 5 B 0 6 0
12/16		12/16	A

審査請求 未請求 請求項の数16 O L (全 14 頁)

(21) 出願番号 特願平11-219846

(22) 出願日 平成11年8月3日 (1999.8.3)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 倉藤 崇

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 山田 朗

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外3名)

Fターム(参考) 5B018 GA01 KA02 MA33

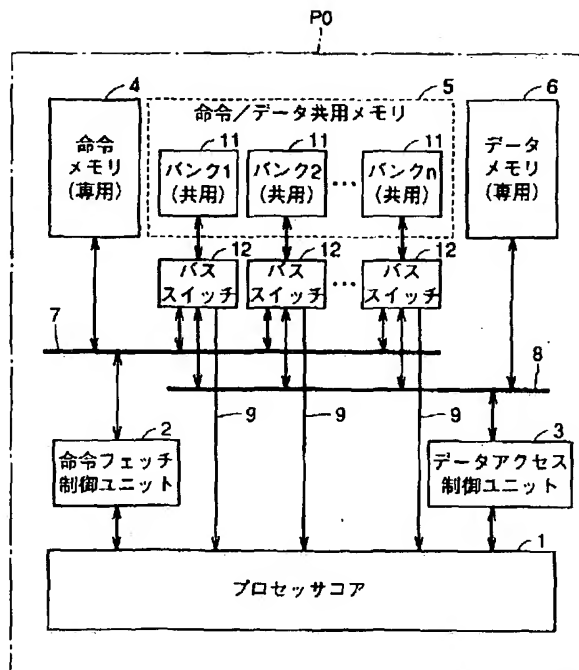
5B060 BB01 BB13 BB16 MB02

(54) 【発明の名称】 マイクロプロセッサおよびそのための記憶装置

(57) 【要約】

【課題】 複数のリソースが並列かつウエイトなしでメモリアクセスでき、メモリ容量の変更にも容易に対応できるマイクロプロセッサと記憶装置とを提供する。

【解決手段】 プロセッサP0は同時に動作可能な第1および第2のバス7、8と、複数のバンク11に分割されたシングルポートメモリ5と、複数のバンク11の各々を、バス7または8に選択的に結合するためのバス・スイッチ12と、バス7および8、ならびにメモリ5を使用して演算処理を行なうプロセッサコア1を含む。



【特許請求の範囲】

【請求項 1】 同時に動作可能な第 1 のバスおよび第 2 のバスと、
複数のバンクに分割されたシングルポートメモリと、
前記複数のバンクの各々を、前記第 1 のバスまたは前記第 2 のバスに選択的に結合するためのバンク切換手段と、
前記第 1 のバスおよび第 2 のバス、ならびに前記シングルポートメモリを使用して演算処理を行なうプロセッサコアとを含む、マイクロプロセッサ。

【請求項 2】 前記バンク切換手段は、前記複数のバンクに対応して設けられ、前記複数のバンクに対応して与えられるバス指定情報に従って、対応のバンクを前記第 1 のバスまたは前記第 2 のバスに選択的に結合するための複数のバス・スイッチを含む、請求項 1 に記載のマイクロプロセッサ。

【請求項 3】 前記複数のバス・スイッチの各々は、対応の前記バス指定情報に従って対応のバンクの入出力経路を前記第 1 のバスまたは前記第 2 のバスに選択的に切換えるためのバス・スイッチング回路と、
前記第 1 のバスおよび前記第 2 のバス上のアクティビティとは独立に、前記バス指定情報を前記バス・スイッチング回路に与えて前記バス・スイッチング回路を制御するためのバス・スイッチ制御部とを含む、請求項 2 に記載のマイクロプロセッサ。

【請求項 4】 前記バス・スイッチ制御部は、前記バス指定情報を格納して前記バス・スイッチング回路に与えるための記憶素子と、
外部から与えられる前記バス指定情報を前記記憶素子に書込むためのデータ書込手段とを含む、請求項 3 に記載のマイクロプロセッサ。

【請求項 5】 前記バス・スイッチ制御部は、外部から与えられる情報を前記バス・スイッチング回路に与えるための外部ピンを含む、請求項 3 に記載のマイクロプロセッサ。

【請求項 6】 前記複数のバス・スイッチの各々はさらに、対応のバンクと結合されているバス以外のバス上で対応のバンクに対応するアクセスが発生したことを検出して例外を発生し前記プロセッサコアに与えるための手段を含む、請求項 3 に記載のマイクロプロセッサ。

【請求項 7】 前記複数のバス・スイッチの各々は、前記第 1 のバスおよび前記第 2 のバス上のアクティビティに基づいていずれかのバスを動的に選択し、対応のバンクの入出力経路を選択されたバスに結合するための動的選択手段を含む、請求項 2 に記載のマイクロプロセッサ。

【請求項 8】 前記動的選択手段は、前記第 1 のバスまたは前記第 2 のバス上のアクセス要求を検出し、アクセス要求のあったバスを対応のバンクの入出力経路に結合するためのアクセス要求検出手段を含む、請求項 7 に記

載のマイクロプロセッサ。

【請求項 9】 前記動的選択手段はさらに、前記第 1 のバスおよび前記第 2 のバス上で、同じバンクに対するアクセス要求が同時に発生したことを検出し例外を発生し前記プロセッサコアに与えるための競合検出手段を含む、請求項 8 に記載のマイクロプロセッサ。

【請求項 10】 同時に動作可能な第 1 のバスおよび第 2 のバスと、前記第 1 のバスおよび前記第 2 のバスと結合されるプロセッサコアとを含むマイクロプロセッサにおいて使用される記憶装置であって、
複数のバンクに分割されたシングルポートメモリと、
前記複数のバンクの各々を、前記第 1 のバスまたは前記第 2 のバスに選択的に結合するためのバンク切換手段とを含む、記憶装置。

【請求項 11】 前記バンク切換手段は、前記複数のバンクに対応して設けられ、前記複数のバンクに対応して与えられるバス指定情報に従って、対応のバンクを前記第 1 のバスまたは前記第 2 のバスに選択的に結合するための複数のバス・スイッチを含む、請求項 10 に記載の記憶装置。

【請求項 12】 前記複数のバス・スイッチの各々は、
対応の前記バス指定情報に従って対応のバンクの入出力経路を前記第 1 のバスまたは前記第 2 のバスに選択的に切換えるためのバス・スイッチング回路と、
前記第 1 のバスおよび前記第 2 のバス上のアクティビティとは独立に、前記バス指定情報を前記バス・スイッチング回路に与えて前記バス・スイッチング回路を制御するためのバス・スイッチ制御部とを含む、請求項 11 に記載の記憶装置。

【請求項 13】 前記複数のバス・スイッチの各々はさらに、対応のバンクと結合されているバス以外のバス上で対応のバンクに対するアクセスが発生したことを検出して例外を発生し前記プロセッサコアに与えるための手段を含む、請求項 12 に記載の記憶装置。

【請求項 14】 前記複数のバス・スイッチの各々は、前記第 1 のバスおよび前記第 2 のバス上のアクティビティに基づいていずれかのバスを動的に選択し、対応のバンクの入出力経路を選択されたバスに結合するための動的選択手段を含む、請求項 11 に記載の記憶装置。

【請求項 15】 前記動的選択手段は、前記第 1 のバスまたは前記第 2 のバス上のアクセス要求を検出し、アクセス要求のあったバスを対応のバンクの入出力経路に結合するためのアクセス要求検出手段を含む、請求項 14 に記載の記憶装置。

【請求項 16】 前記動的選択手段はさらに、前記第 1 のバスおよび前記第 2 のバス上で、同じバンクに対するアクセス要求が同時に発生したことを検出して例外を発生し前記プロセッサコアに与えるための競合検出手段を含む、請求項 15 に記載の記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、複数のリソースがメモリを使用するマイクロプロセッサおよびそのための記憶装置に関し、特に、複数のリソースが単一のメモリを共用し、かつ並列にノーウェイト・アクセスが可能なマイクロプロセッサに関する。

【0002】

【従来の技術】マイクロプロセッサは、データアクセス制御ユニットおよび命令フェッチ制御ユニットのように、内蔵メモリをアクセスする複数のリソースを有する。これらリソースは互いに並列に動作することが望まれるために、内蔵メモリに対するこれらリソースからのアクセスも並列で行なえるように、かつウエイトなしで行なえるようにすることが望ましい。

【0003】従来は、こうしたノーウェイトアクセスを可能とするために、内部リソースに専用のメモリを設けることによって対応していた。たとえば、ハーバード・アーキテクチャを採用するマイクロプロセッサでは従来、データ専用メモリおよび命令専用メモリを内蔵し、これらメモリをそれぞれデータ専用バスおよび命令専用バスを介してデータアクセス制御ユニットおよび命令フェッチ制御ユニットに割当てている。こうすることにより、命令フェッチとデータアクセスとが調停なしに並列に実行可能となり、プロセッサ内でのインストラクションのパイプライン実行のスループットを向上させている。

【0004】

【発明が解決しようとする課題】しかしながら、こうした従来のマイクロプロセッサでは、各リソースに専用で割当てられるメモリの容量は固定されている。そのためたとえばアプリケーションが要求するメモリ容量に応じた構成のマイクロプロセッサを得るためには、別のメモリ容量の組合せで作製された別のチップを用いる必要があった。

【0005】この発明の目的は、メモリに対して複数のリソースが並列かつウエイトなしでアクセスでき、かつメモリの容量の変更にも容易に対応できるマイクロプロセッサおよびそのための記憶装置を提供することである。

【0006】この発明の他の目的は、共有されたメモリに対して複数のリソースが並列かつウエイトなしでアクセスでき、それぞれに割当てられる容量の変更にも容易に対応できるマイクロプロセッサおよびそのための記憶装置を提供することである。

【0007】この発明のさらに他の目的は、メモリに対して複数のリソースが並列かつウエイトなしでアクセスでき、メモリ容量の変更にも容易に対応できるとともに、メモリへの違反アクセスを過大なハードウェアの追加なく処理できるマイクロプロセッサおよびそのための

記憶装置を提供することである。

【0008】この発明の別の目的は、共有されたメモリに対して複数のリソースが並列かつウエイトなしでアクセスでき、それぞれのリソースに割当てられるメモリ容量の変更にも容易に対応できるとともに、メモリアクセスの競合を過大なハードウェアの追加なく調停できるマイクロプロセッサおよびそのための記憶装置を提供することである。

【0009】

10 【課題を解決するための手段】請求項1に記載の発明に係るマイクロプロセッサは、同時に動作可能な第1のバスおよび第2のバスと、複数のバンクに分割されたシングルポートメモリと、これら複数のバンクの各々を、第1のバスまたは第2のバスに選択的に結合するためのバンク切換手段と、第1のバスおよび第2のバス、ならびにシングルポートメモリを使用して演算処理を行なうプロセッサコアとを含む。

20 【0010】複数のバンクの各々を、第1のバスおよび第2のバスに選択的に結合させることができるため、第1のバスおよび第2のバスに結合された複数のリソースに対し、バンクを別々に割当てることができる。割当てられるメモリ容量を容易に変更することができる。

30 【0011】請求項2に記載の発明に係るマイクロプロセッサは、請求項1に記載のマイクロプロセッサの構成に加えて、バンク切換手段は、複数のバンクに対応して設けられ、複数のバンクに対応して与えられるバス指定情報に従って、対応のバンクを第1のバスまたは第2のバスに選択的に結合するための複数のバス・スイッチを含む。

【0012】バス指定情報を与えることによって、各バンクをそれぞれ第1のバスまたは第2のバスに選択的に結合することができ、各リソースに割当てられるバンクの数を容易に変更することができる。

40 【0013】請求項3に記載の発明に係るマイクロプロセッサは、請求項2に記載のマイクロプロセッサの構成に加えて、複数のバス・スイッチの各々は、対応のバス指定情報に従って対応のバンクの入出力経路を第1のバスまたは第2のバスに選択的に切換えるためのバス・スイッチング回路と、第1のバスおよび第2のバス上のアクティビティとは独立に、バス指定情報をバス・スイッチング回路に与えてバス・スイッチング回路を制御するためのバス・スイッチ制御部とを含む。

【0014】このようにバス上のアクティビティとは独立に、メモリの各バンクをリソースに割当てることができる。したがって、予め各リソースに割当てべきメモリ容量がわかっている場合にそのためのマイクロプロセッサの構成を前もって最適に設定することができる。

50 【0015】請求項4に記載の発明に係るマイクロプロセッサは、請求項3に記載のマイクロプロセッサの構成

に加えて、バス・スイッチ制御部は、バス指定情報を格納してバス・スイッチング回路に与えるための記憶素子と、外部から与えられるバス指定情報を記憶素子に書込むためのデータ書込手段とを含む。

【0016】各バンクを各リソースに割当てするための情報を外部から記憶素子に与えデータ書込手段を用いて書込むことによって、静的に各バンクのリソースへの割当てを設定できる。

【0017】請求項5に記載の発明に係るマイクロプロセッサは、請求項3に記載のマイクロプロセッサの構成に加えて、バス・スイッチ制御部は、外部から与えられる情報をバス・スイッチング回路に与えるための外部ピンを含む。

【0018】外部から外部ピンを通じてバス指定情報を与えることにより、チップ外から容易に各バンクの各リソースへの割当てを設定することができる。

【0019】請求項6に記載の発明に係るマイクロプロセッサは、請求項3に記載のマイクロプロセッサの構成に加えて、複数のバス・スイッチの各々はさらに、対応のバンクと結合されているバス以外のバス上で対応のバンクに対するアクセスが発生したことを検出して例外を発生しプロセッサコアに与えるための手段を含む。

【0020】本来割当てられていないバンクに対するアクセスがあるリソースから発生した場合、そのアクセスは違反アクセスとして処理しなければならない。この場合、そうしたアクセスが発生したことを検出して例外を発生しプロセッサコアに与えることができるので、特別なハードウェアを追加しなくてもプロセッサコアで実行されるプログラムによってこのアクセス違反に対する処理を行なうことができる。

【0021】請求項7に記載の発明に係るマイクロプロセッサは、請求項2に記載のマイクロプロセッサの構成に加えて、複数のバス・スイッチの各々は、第1のバスおよび第2のバス上のアクティビティに基づいていずれかのバスを動的に選択し、対応のバンクの入出力経路を選択されたバスに結合するための動的選択手段を含む。

【0022】バンクを前もって各リソースに割当ててことをせずに、第1のバスおよび第2のバス上のアクティビティに基づいて動的に割当てることができる。そのため各リソースに割当ててメモリ容量をバンク単位でなくより小さな単位で決定することができる。

【0023】請求項8に記載の発明に係るマイクロプロセッサは、請求項7に記載のマイクロプロセッサの構成に加えて、動的選択手段は、第1のバスまたは第2のバス上のアクセス要求を検出し、アクセス要求のあったバスを対応のバンクの入出力経路に結合するためのアクセス要求検出手段を含む。

【0024】実際にバンクに対するアクセス要求があるバスで発生したときに、そのバスを指定されたバンクに

結合するので、予めバンクの割当てを行なうことができないようなアプリケーションであっても柔軟に対応することができる。

【0025】請求項9に記載の発明に係るマイクロプロセッサは、請求項8に記載のマイクロプロセッサの構成に加えて、動的選択手段はさらに、第1のバスおよび第2のバス上で、同じバンクに対するアクセス要求が同時に発生したことを検出して例外を発生しプロセッサコアに与えるための競合検出手段を含む。

10 【0026】同じバンクに対するアクセス要求が同時に発生した場合、これらアクセス要求が競合するために、これを何らかの手段によって調停する必要がある。この場合このマイクロプロセッサでは例外が発生されプロセッサコアに与えられるため、プロセッサコアで実行される例外処理プログラムによってこのアクセス要求を調停することができる。そのため過大なハードウェアの追加なしにアクセス要求の調停を行なうことができる。

20 【0027】請求項10に記載の発明に係る記憶装置は、同時に動作可能な第1のバスおよび第2のバスと、この第1のバスおよび第2のバスと結合されるプロセッサコアとを含むマイクロプロセッサにおいて使用される記憶装置である。この記憶装置は、複数のバンクに分割されたシングルポートメモリと、複数のバンクの各々を、第1のバスまたは第2のバスに選択的に結合するためのバンク切換手段とを含む。記憶装置の複数のバンクを第1のバスおよび第2のバスにそれぞれ選択的に割当てることができる。したがって第1のバスおよび第2のバスに接続されるリソースに、これら各バンクを割当てることができる。割当てるバンクの数を換えること
30 によって、各リソースに割当てられるメモリ容量を容易に変更することができる。

【0028】請求項11に記載の発明に係る記憶装置は、請求項10に記載の記憶装置の構成に加えて、バンク切換手段は、複数のバンクに対応して設けられ、複数のバンクに対応して与えられるバス指定情報に従って、対応のバンクを第1のバスまたは第2のバスに選択的に結合するための複数のバス・スイッチを含む。

40 【0029】各バンク毎にバス指定情報を与えることによって、各バンクを第1のバスまたは第2のバスに選択的に結合させることができる。これにより各バンクの各リソースへの割当てを容易に行なうことができる。

【0030】請求項12に記載の発明に係る記憶装置は、請求項11に記載の記憶装置の構成に加えて、複数のバス・スイッチの各々は、対応のバス指定情報に従って対応のバンクの入出力経路を第1のバスまたは第2のバスに選択的に切換えるためのバス・スイッチング回路と、第1のバスおよび第2のバス上のアクティビティとは独立に、バス指定情報をバス・スイッチング回路に与えてバス・スイッチング回路を制御するためのバス・
50 スwitch制御部とを含む。

【0031】各バス上のアクティビティとは独立に、バス指定情報をバス・スイッチング回路に与えることによって、バス上のアクティビティとは別個にバンクを各リソースに割当てることができる。このため、予め必要なメモリ容量の割当てがわかっているアプリケーションを実行するためのプロセッサなどを最適に構成することができる。

【0032】請求項13に記載の発明に係る記憶装置は、請求項12に記載の記憶装置の構成に加えて、複数のバス・スイッチの各々はさらに、対応のバンクと結合されているバス以外のバス上で対応のバンクに対するアクセスが発生したことを検出して例外を発生しプロセッサコアに与えるための手段を含む。

【0033】各リソースに割当てられていないバンクに対するアクセス要求が発生した場合、このアクセス要求は違反アクセスとなる。これら違反アクセスに対しては何らかの対応をする必要がある。この請求項に記載の発明に係る記憶装置では、この場合には例外が発生されプロセッサコアに与えられる。したがってプロセッサコアで実行される例外処理プログラムによって違反アクセスを処理することができる。そのため過大なハードウェアの追加をすることなしに違反アクセスを処理できる。

【0034】請求項14に記載の発明に係る記憶装置は、請求項11に記載の記憶装置の構成に加えて、複数のバス・スイッチの各々は、第1のバスおよび第2のバス上のアクティビティに基づいていずれかのバスを動的に選択し、対応のバンクの入出力経路を選択されたバスに結合するための動的選択手段を含む。

【0035】バス上のアクティビティに基づいてバスが動的に選択されバンクに結合される。そのため、各リソースに割当てメモリ容量を、バンク毎ではなくより小さな単位で調整することができる。またバス上の実際のアクティビティに基づいてバンクを動的に各バスに結合するので、実行時の状況に応じた最適な状態に記憶容量の割当てを維持することができる。

【0036】請求項15に記載の発明に係る記憶装置は、請求項14に記載の記憶装置の構成に加えて、動的選択手段は、第1のバスまたは第2のバス上のアクセス要求を検出し、アクセス要求のあったバスを対応のバンクの入出力経路に結合するためのアクセス要求検出手段を含む。

【0037】各バスに接続されたリソースは、記憶装置にアクセスする場合には単にアクセス要求を発行すればよく、アクセス先のバンクが自分に割当てられているものかどうかを意識する必要がない。そのためアプリケーションの開発を容易にすることができる。

【0038】請求項16に記載の発明に係る記憶装置は、請求項15に記載の記憶装置の構成に加えて、動的選択手段はさらに、第1のバスおよび第2のバス上で、同じバンクに対するアクセス要求が同時に発生したこと

を検出して例外を発生しプロセッサコアに与えるための競合検出手段を含む。

【0039】2つのバス上で同じバンクに対するアクセス要求が同時に発生した場合、このアクセス競合を何らかの形で処理しなければならない。本請求項に記載の発明では、この場合に例外を発生しプロセッサコアに与える。プロセッサコアで実行される例外処理プログラムによって競合の解決を図ることができる。したがって過大なハードウェアの追加なしに、記憶装置へのアクセス競合を処理することができる。

【0040】

【発明の実施の形態】
【実施の形態1】図1を参照して、この発明の実施の形態1に係るマイクロプロセッサP0は、命令フェッチおよびデータアクセス専用それぞれ、命令バス7およびデータバス8を有するハーバード・アーキテクチャを採用している。ここで、命令バス7は、命令、命令アドレスおよび命令出力制御信号からなるバスである。データバス8は、データ、データアドレス、データ出力制御信号およびデータ書込制御信号からなるバスである。

【0041】このプロセッサP0は命令バス7およびデータバス8に加えてさらに、プロセッサコア1と、プロセッサコア1と命令バス7との間に設けられた命令フェッチ制御ユニット2と、プロセッサコア1とデータバス8との間に設けられたデータアクセス制御ユニット3と、命令バス7に接続された専用の命令メモリ4と、データバス8に接続された専用のデータメモリ6と、後述する機構に従って命令バス7またはデータバス8に選択的に結合される、複数のバンク11を有する命令/データ共用メモリ5と、命令/データ共用メモリ5のバンク11（バンク1、バンク2、…バンクn）に対応して設けられ、これらバンクを命令バス7またはデータバス8に選択的に結合するとともに、対応のバンクが割当てられていないリソースから当該バンクに対するアクセスが発生したことを検出して例外信号9をプロセッサコア1に出力するためのバス・スイッチ12を含む。なお「バンク」とは、メモリのうち各々独立にアクセスできる単位のことをいう。あるバンクでのデータの読出、書込と、他のバンクでのデータの読出、書込とは並列に行なえる。

【0042】命令メモリ4は固定容量の、命令格納専用のメモリである。同じくデータメモリ6も、固定容量の、データ格納専用のメモリである。命令/データ共用メモリ5の全体は固定容量のメモリであるが、n個のバンク11の各々について、バス・スイッチ12によって選択的に命令バス7またはデータバス8に結合できる。

【0043】図2を参照して、バス・スイッチ12は、対応のメモリバンク11が結合されるバスを決定するためのモード信号13を出力するとともに、前述した例外信号9を発生してプロセッサコア1に出力するためのバ

ス・スイッチ制御部51と、モード信号13に従って、メモリバンク11が接続されるバスを切替えるバス・スイッチング回路52とを含む。この実施の形態では、モード信号13はバス・スイッチ制御部51に含まれるモードレジスタ20に格納されている値に従って変化する。

【0044】図3を参照して、バス・スイッチング回路52は、命令アドレス71およびデータアドレス72を受ける2つの入力を有し、モード信号13によって制御されいづれか一方を選択してメモリアドレス78として出力するためのアドレスセクタ21と、命令出力制御信号73およびデータ出力制御信号74を受ける2つの入力を有し、モード信号13により制御されていづれか一方を選択しメモリ出力制御信号79として出力するための出力制御信号セクタ22と、データ書込制御信号75およびモード信号13を受ける2つの入力を有し、その論理積をメモリ書込制御信号80として出力するANDゲートからなる書込制御信号セクタ23と、モード信号13を反転した信号と、命令出力制御信号73とを受ける2つの入力をもつANDゲートからなる命令出力ドライブ制御部24と、メモリデータ81を受ける入力を有し、命令出力ドライブ制御部24の出力によって制御され命令信号線76に命令を出力するための命令出力ドライブ25と、モード信号13およびデータ出力制御信号74を受ける2つの入力を有するANDゲートからなるデータ出力ドライブ制御部26と、データ出力ドライブ制御部26の出力により制御されるデータ出力ドライブ27と、モード信号13およびデータ書込制御信号75を受けるANDゲートからなるデータ入力ドライブ制御部28と、データ入力ドライブ制御部28の出力により制御されるデータ入力ドライブ29とを含む。

【0045】データ出力ドライブ27の入力およびデータ入力ドライブ29の出力は互いに接続され、さらにメモリデータ81に接続されている。データ出力ドライブ27の出力およびデータ入力ドライブ29の入力は互いに接続され、さらにデータ信号線77を介してデータバスに接続されている。

【0046】図4を参照して、バス・スイッチ制御部51は、リセット信号91、命令アドレス71、命令出力制御信号73、データアドレス72、データ出力制御信号74、データ書込制御信号75およびこのバス・スイッチ制御部51から出力されるモード信号13を受け、割当てられていないバンクに対するアクセスが各リソースから発生したことを検出して例外信号9を出力しプロセッサコア1に与えるための例外信号生成部31と、データアドレス72、データ出力制御信号74およびデータ書込制御信号75を受け、セクタ制御信号94、モードレジスタ書込制御信号95、モードレジスタ出力制御信号96を出力するためのモードレジスタ制御部30と、図示されないROM (Read-Only Memory) から与え

られる、モードレジスタ20の初期値であるROM設定値92およびデータ信号線93上のデータをそれぞれ受ける2つの入力を有し、セクタ制御信号94によって制御されるセクタ32と、セクタ32の出力を受け、モードレジスタ書込制御信号95により制御されてセクタ32の出力を保持しモード信号13として出力するモードレジスタ20と、モード信号13を受ける入力を有し、モードレジスタ出力制御信号96により制御されてモード信号13をデータ信号線93の上に出力するためのモードレジスタ出力ドライブ33とを含む。

【0047】セクタ32は、セクタ制御信号94が0のときにはROM設定値92を、セクタ制御信号94が1のときにはデータ信号線93上の値を、それぞれ選択する。

【0048】図5を参照して、図4に示すモードレジスタ制御部30は、リセット信号91を受け反転してセクタ制御信号94として出力する、インバータ回路からなるセクタ制御信号生成部60と、データアドレス72を受け、そのアドレスがモードレジスタ20に割当てられたアドレスと一致していることを検出してモードレジスタアドレス検出信号97を出力するためのモードレジスタアドレス検出部61と、リセット信号91、データ書込制御信号75およびモードレジスタアドレス検出信号97を受け、モードレジスタ20への書込タイミングを定めるモードレジスタ書込制御信号95を出力するためのモードレジスタ書込要求検出部62と、リセット信号91、モードレジスタアドレス検出信号97およびデータ出力制御信号74を受け、モードレジスタ20の出力をデータ信号線93上に出力させるためのモードレジスタ出力制御信号96を出力するモードレジスタ出力要求検出部63とを含む。

【0049】図6を参照して、図4に示す例外信号生成部31は、命令アドレス71および命令出力制御信号73を受け、命令アクセス要求があったことを検出して命令アクセス要求信号70を出力するための命令アクセス検出部64と、データアドレス72、データ出力制御信号74およびデータ書込制御信号75を受け、データアクセス要求があったことを検出してデータアクセス要求信号98を出力するためのデータアクセス検出部65と、命令アクセス要求信号70、モード信号13、リセット信号91およびデータアクセス要求信号98を受け、あるリソースから、そのリソースに割当てられていないバンクへのアクセス要求(違反アクセス)があったことを検出して例外信号9を出力するための違反アクセス検出部66とを含む。

【0050】図1～図6を参照して、この実施の形態1に係るプロセッサP0は以下のように動作する。

【0051】リセット動作時に、図5に示すセクタ制御信号生成部60がリセット信号91を反転してセクタ制御信号90として図4に示すセクタ32に与え

10

20

30

40

50

る。セクタ32は、セクタ制御信号94がデアサートされているので、ROM設定値92を選択してモードレジスタ20に与える。このROM設定値とは、予めどのバンクをどのバスに接続するかを決定し、それに対応して各モードレジスタ20に設定すべき初期値として選択されたものである。

【0052】図5に示すモードレジスタ書込要求検出部62は、リセット信号91がアサートされたことに応答してモードレジスタ書込制御信号95をアサートする。図4に示すモードレジスタ20は、モードレジスタ書込制御信号95がアサートされたことに応答して、セクタ32の出力を保持する。こうした一連の動作により、マイクロプロセッサP0のリセット動作時に、ROMに設定されていたモードレジスタ20の設定値の初期値が各モードレジスタ20に書込まれる。

【0053】図2を参照して、各バス・スイッチ12のバス・スイッチング回路52は、モードレジスタ20から出力されるモード信号13の値に従って、対応のメモリバンク11を命令バス7またはデータバスに選択的に結合する。このようにして、モードレジスタ20が初期設定され、各バンク11の、命令バス7およびデータバス8への割当てが静的に決定される。

【0054】図6を参照して、命令アクセス検出部64は、命令アドレス71が対応のバンク11のアドレスと一致し、かつ命令出力制御信号73がアサートされると命令アクセス要求信号70をアサートする。データアクセス検出部65は同様に、データアドレス72が対応のバンク11のアドレスと一致し、かつデータ出力制御信号74またはデータ書込制御信号75がアサートされるとデータアクセス要求信号98をアサートする。違反アクセス検出部66は、リセット信号がアサートされかつモード信号がデアサート（命令メモリモード）されかつデータアクセス要求信号98がアサートされた場合、またはリセット信号がアサートされかつモード信号13がアサート（データメモリモード）されかつ命令アクセス要求信号70がアサートされた場合に、通常のアクセスが完了するタイミングで例外信号9をアサートする。そうでない場合は例外信号9はデアサートされた状態である。

【0055】したがって、モード信号13がデアサートされている場合（モードレジスタ20の設定値が0の場合）、データアクセス要求があると例外信号9が発生されプロセッサコア1に与えられる。すなわちこの場合、対応のメモリバンク11が命令バス7に割当てられているにも拘らず、データバス8上で対応のバンクへのデータアクセスが発生したと考えられ、これは違反アクセスなので例外信号9がプロセッサコア1に与えられる。プロセッサコア1はこの例外信号9がアサートされたことに応答して、所定の例外処理を実行する。

【0056】図3を参照して、モード信号13がデアサ

ートされているので、アドレスセクタ21は命令アドレス71を選択してメモリアドレス78として出力する。同様に出力制御信号セクタ22は命令出力制御信号73を選択してメモリ出力制御信号79として出力する。書込制御信号セクタ23の出力するメモリ書込制御信号はデアサートされる。命令出力ドライバ制御部24は命令出力制御信号73をそのまま出力し、これに対応して命令出力ドライバ25がメモリデータ81を増幅して命令信号線76を介して命令バス7に命令データを出力する。データ出力ドライバ制御部26およびデータ入力ドライバ制御部28の出力はいずれもデアサートされ、データ出力ドライバ27およびデータ入力ドライバ29はいずれも動作しない。

【0057】次に、モードレジスタ20に設定された値が1（データメモリモード）である場合のバス・スイッチ12の動作について説明する。図3を参照して、モード信号13がアサートされるため、アドレスセクタ21はデータアドレス72を選択してメモリアドレス78として出力する。出力制御信号セクタ22は、データ出力制御信号74を選択してメモリ出力制御信号79として出力する。書込制御信号セクタ23はデータ書込制御信号75をそのままメモリ書込制御信号80として出力する。命令出力ドライバ制御部24の出力はデアサートされ、したがって対応の命令出力ドライバ25は動作しない。データ出力ドライバ制御部26およびデータ入力ドライバ制御部28はいずれも、それぞれデータ出力制御信号74およびデータ書込制御信号75をそのままデータ出力ドライバ27およびデータ入力ドライバ29に与える。

【0058】データ出力の場合にはデータ出力制御信号74がアサートされるので、データ出力ドライバ27が動作しメモリバンクから読出されたメモリデータ81を増幅してデータ信号線77を介しデータバス8上に出力する。データ入力の場合にはデータ書込制御信号75がアサートされ、データ入力ドライバ29が動作してデータ信号線77上のデータを増幅しメモリデータ81としてメモリに与えメモリへのデータ書込が実行される。

【0059】ここで仮にモードレジスタ20で設定されたリソース以外からのメモリバンク11へのアクセス（命令アクセス）があると、命令アクセス検出部64によって命令アクセス要求信号70がアサートされる。違反アクセス検出部（図6参照）66は、リセット信号91がデアサートされ、かつモード信号13がアサート（データメモリモード）されかつ命令アクセス要求信号70がアサートされた場合に、前述のとおり通常のアクセスが完了するタイミングで例外信号9をアサートする。この例外信号9はプロセッサコア1に与えられ、プロセッサコア1が例外処理を実行し違反アクセスに対処する。

【0060】なお、モードレジスタ20は、リセット動

作時のみに値が書込まれるわけではない。その後も随時プロセッサコア1で実行されるプログラムによってモードレジスタ20の内容を書換えることができる。

【0061】プロセッサコア1は、割込処理としてモードレジスタ20の一時的な書換えおよびメモリバンク11へのアクセスを実行可能である。レジスタ20への書込および読出は以下のように行なわれる。

【0062】プロセッサコア1がデータアドレス72をモードレジスタ20のアドレスに指定し、データ書込制御信号75をアサートする。するとモードレジスタ制御部30はセクタ制御信号94(図5参照)をアサートし、モードレジスタ書込制御信号95をアサートする。これにより図4に示されるセクタ32はデータ信号線93上のデータを選択してモードレジスタ20に与え、モードレジスタ20がモードレジスタ書込制御信号95がアサートされたことに応答してこの値を保持する。これによりモードレジスタ20へのデータの書込が実行される。こうして外部からデータをモードレジスタ20に容易に書込むことができるので、バンク割当てが簡単に行なえる。

【0063】モードレジスタ20の値を読出すことも可能である。この場合プロセッサコア1がデータアドレス72をモードレジスタ20のアドレスに指定し、データ出力制御信号74をアサートする。図5に示されるモードレジスタ出力要求検出部63は、モードレジスタ出力制御信号96をアサートする。図4に示されるモードレジスタ出力ドライバ33がこのモードレジスタ出力制御信号96がアサートされたことに応答して、モードレジスタ20の出力するモード信号13を増幅しデータ信号線93上に出力する。こうしてモードレジスタ20の読出が実行される。モードレジスタ20に格納されている内容を、プロセッサコア1内で行なわれる例外処理において確認することが可能である。

【0064】このようにマイクロプロセッサP0に内蔵されている固定容量のシングルポートメモリの全部または一部を命令/データ共用メモリ5とし、これらを複数個のメモリバンク11に分割する。各バス・スイッチ12のモードレジスタ20に設定される内容によって、メモリバンク11の各々を命令バス7またはデータバス8に選択的に結合することができる。図1に示される実施の形態では命令バス7には命令スイッチ制御ユニット2が接続され、データバス8にはデータアクセス制御ユニット3がそれぞれ接続されている。したがって命令バス7に結合されたバンクは命令フェッチ制御ユニット2によって利用可能となり、データバス8に接続されたバンクはデータアクセス制御ユニット3によって利用可能となる。

【0065】このようにメモリバンク11を命令フェッチ制御ユニット2またはデータアクセス制御ユニット3に静的に割当てて、命令アクセスおよびデータア

クセスが並列にウエイトなしでアクセスできるとともに、各リソースに割当てられるメモリ容量の大きさを、メモリバンクの大きさを単位として変更することができる。このためたとえばアプリケーションによって必要とされるメモリ容量が異なる場合に、ハードウェアを変更することなく1つのプロセッサP0で最適なメモリ容量の割当てを簡単に行なうことができる。

【0066】また、バンクが割当てられたリソース以外から当該バンクに対してアクセスがあった場合には、例外信号9を発生しプロセッサコア1に与える。プロセッサコア1で実行される例外処理プログラムによって、違反アクセスをソフトウェア処理することができる。そのためアクセス調停に必要なハードウェアを削減することができ、過大なハードウェアの追加なしにメモリのアクセス調停を行なうことができる。

【0067】上記した実施の形態の装置では、命令/データ共用メモリ5に加えて、専用の命令メモリ4および専用のデータメモリ6を設けている。しかし本発明はこれには限定されず、専用の命令メモリ4またはデータメモリ6のいずれか一方を設けず、命令/データ共用メモリ5のみで命令メモリまたはデータメモリを実現することができる。また命令メモリ4およびデータメモリ6の双方を取り除き、すべてのメモリを命令/データ共用メモリ5として使用することも可能である。

【0068】図1に示される実施の形態では、バンクが選択的に結合できるバスの数が2つ(命令バス7およびデータバス8)であった。しかし本発明はこれには限定されず、3本以上のバスのいずれか1つを選択してバンクと結合する構成とすることもできる。この場合、図4に示されるセクタ制御信号、モードレジスタ20の出力するモード信号13を2ビット以上とすればよい。

【0069】またこの実施の形態の装置では1つのバスには1つのリソース(命令フェッチ制御ユニット2またはデータアクセス制御ユニット3)のみが接続されている形態である。しかし本発明はこれには限定されず、1つのバスに複数個のリソースが接続されていてもよい。

【0070】また上の実施の形態ではモード信号を、モードレジスタ20内に設定された情報によって制御したが、本発明はこれには限定されない。たとえばモードレジスタ20に代えてEEPROMなど一般の記憶素子を用いることができるし、またはそうした記憶素子を介在させることなく外部端子から直接モード信号13を導入してもよい。こうすると、外部からメモリバンクを切り換えるのが容易になる。またモードレジスタ20をバス・スイッチ12内に設ける必要はなく、プロセッサコア1から直接アクセス可能なレジスタまたはRAMによってモードレジスタ20と同じ機能を実現するようにしてもよい。

【0071】図7に、上記した実施の形態1で実現できるメモリマップ100を示す。この例では、専用の命令

メモリ4は領域104に、命令/データ共用メモリ5は領域106に、専用のデータメモリ6は領域108に、それぞれマップされている。そして命令/データ共用メモリ5のうち境界102より下位の部分はデータ用に、上位の部分は命令用に、それぞれ割当てられている。ここでこの境界102は、各バスに割当てられるバンクの数を変更することによって上下に移動可能である。

【0072】図7に示すメモリマッピングは、命令用のメモリ領域とデータ用のメモリ領域とがそれぞれ連続した領域にマッピングされるようにした。こうしたマッピングは最も現実的であり実用的にも価値が大きいと考えられる。しかしながら、バンクの割当て方法は図7に示した例には限定されない。

【0073】たとえば図8に示すメモリマップ101では、命令/データ共用メモリ5のための領域106が境界110および112によって3つの領域に分割されている。これらのうち境界112と110との間の領域はデータ用の領域に、他の領域は命令用の領域にそれぞれ割当てられている。こうしたメモリマップを実現することも可能である。

【0074】〔実施の形態2〕次に、この発明の実施の形態2に係るマイクロプロセッサの構成を説明する。この実施の形態2のマイクロプロセッサの概略構成は図1に示された実施の形態1のものとはほぼ同じである。したがって以下の説明では実施の形態1と異なる部分についてのみ説明することとして、同じ部分については詳細な説明は繰返さない。

【0075】図9に、この実施の形態2に係るバス・スイッチ制御部82のブロック図を示す。このバス・スイッチ制御部82は、実施の形態1のバス・スイッチ制御部51に代えて用いることができる。図9に示されるバス・スイッチ制御部82においては、ROM設定値92が外部から与えられていない点が図4のバス・スイッチ制御部51と異なる。

【0076】図9を参照して、バス・スイッチ制御部82は、リセット信号91、命令アドレス71、命令出力制御信号73、データアドレス72、データ出力制御信号74、データ書込制御信号75を受け、対応のメモリバンク11へのアクセス要求が命令バス7およびデータバス8上で同時に発生したときに、例外信号9を発生しプロセッサコア1に与えるための例外信号生成部41と、命令アドレス71、命令出力制御信号73、データアドレス72、データ出力制御信号74およびデータ書込制御信号75を受け、命令バス7およびデータバス8上のアクティビティに基づいて、対応のメモリバンクに対してアクセス要求が発生したバスを結合するよう、モードレジスタ20の値を書換えるためのモードレジスタ制御部40と、モードレジスタ制御部40から出力されるモードレジスタ出力制御信号96に制御され、モードレジスタ20から出力されるモード信号13をデータ信

号線122を介してデータバス8上に出力するためのモードレジスタ出力ドライバ33とを含む。

【0077】図10を参照して、モードレジスタ制御部40は、命令アドレス71および命令出力制御信号73を受け、命令アドレス71がメモリバンク11のアドレスと一致し、かつ命令出力制御信号73がアサートされると、命令アクセス要求信号70をアサートするための命令アクセス検出部64と、データアドレス72、データ出力制御信号74およびデータ書込制御信号75を受け、データアドレス72がメモリバンク11のアドレスと一致し、かつデータ出力制御信号74またはデータ書込制御信号75がアサートされた場合にデータアクセス要求信号98をアサートするためのデータアクセス検出部65と、データアドレス72を受け、データアドレス72がモードレジスタ20のアドレスと一致した場合にモードレジスタアドレス検出信号97をアサートするためのモードレジスタアドレス検出部61と、命令アクセス要求信号70、データアクセス要求信号98およびリセット信号91を受け、モードレジスタで設定すべき値（モードレジスタ設定値）120およびモードレジスタ書込制御信号95を出力するためのモードレジスタ書込制御部67と、モードレジスタアドレス検出信号97、データ出力制御信号74およびリセット信号91を受け、モードレジスタ出力制御信号96を出力するためのモードレジスタ出力要求検出部63とを含む。

【0078】モードレジスタ書込制御部67は、リセット信号がアサートされている場合には、モードレジスタ設定値120をデフォルト値（たとえば1）にし、モードレジスタ書込制御信号をアサートする。リセット信号がデアサートされている場合には、モードレジスタ書込制御部67は、命令アクセス要求信号70およびデータアクセス要求信号98のいずれか一方のみがアサートされるとモードレジスタ書込制御信号95をアサートする。このとき、命令アクセス要求信号70がアサートされているのであればモードレジスタ設定値120は0に、データアクセス要求信号98がアサートされているのであればモードレジスタ設定値120は1とされる。以上の場合に当てはまらない場合、モードレジスタ書込制御部67はモードレジスタ書込制御信号95をデアサートし、モードレジスタ設定値120として以前の値を保持する。

【0079】モードレジスタ出力要求検出部63は、図5に示されるものと同一である。したがってここではその詳細な説明は繰返さない。

【0080】図11を参照して、図9に示される例外信号生成部41は、命令アドレス71および命令出力制御信号73を受け、命令アドレス71がメモリバンク11のアドレスと一致し、かつ命令出力制御信号73がアサートされる場合に命令アクセス要求信号70をアサートするための命令アクセス検出部64と、データアドレス

72、データ出力制御信号74およびデータ書込制御信号75を受け、データアドレス72がメモリバンク11のアドレスと一致し、かつデータ出力制御信号74およびデータ書込制御信号75のいずれか一方がアサートされた場合にデータアクセス要求信号98をアサートするためのデータアクセス検出部65と、命令アクセス要求信号70、リセット信号91およびデータアクセス要求信号98を受け、同時アクセスを検出して例外信号9をアサートするための同時アクセス検出部68とを含む。

【0081】同時アクセス検出部68は、リセット信号91が0かつ命令アクセス要求信号70がアサートされ、かつデータアクセス要求信号98がアサートされている場合に、通常のアクセスが完了するタイミングで例外信号9をアサートする。そうでない場合には同時アクセス検出部68は例外信号9をデアサートする。この結果、命令バス7とデータバス8上で同じメモリバンクに対してアクセス要求が同時に発生すると、例外信号9がアサートされ、それ以外の場合にはデアサートされる。

【0082】この実施の形態2のプロセッサは、実施の形態1の場合と異なり、モードレジスタ20に設定される値を、命令バス7およびデータバス8上のアクティビティ（具体的にはそれらの上で搬送されるアドレス値および制御信号）により決定しモードレジスタ20に設定する。命令バス7上の命令アドレスがメモリバンク11のアドレスに相当するときに命令出力制御信号73がアサートされると、命令アクセス検出部64（図10参照）が命令アクセス要求信号70をアサートする。モードレジスタ書込制御部67はモードレジスタ設定値120の値を「0」（命令メモリモード）とし、モードレジスタ書込制御信号95をアサートする。これにより図9

に示されるモードレジスタ20にモードレジスタ設定値120の値である「0」が書込まれる。したがって実施の形態1の場合と同様に、以後対応のメモリバンク11は命令バス7と結合され、最初に命令アクセス要求を発生したリソース（具体的には図1に示される命令フェッチ制御ユニット2）は当該メモリバンクにアクセスできる。

【0083】一方、データアドレス72がメモリバンク11のアドレスに相当するときに、データ出力制御信号74またはデータ書込制御信号75がアサートされると、図10に示されるデータアクセス検出部65がデータアクセス要求信号98をアサートする。モードレジスタ書込制御部67はモードレジスタ設定値120として「1」（＝データメモリモード）とし、モードレジスタ書込制御信号95をアサートする。これにより図9に示されるモードレジスタ20にはモードレジスタ設定値120の値である「1」が書込まれ、メモリバンク11はデータバス8に結合される。以後、データバス8上のリソースがこのメモリバンクにアクセス可能となる。

【0084】こうした構成では、命令バス7およびデー

タバス8上に、同じメモリバンクに対するアクセス要求が同時に発生することがあり得る。この場合、図10に示される命令アクセス要求信号70およびデータアクセス要求信号98はいずれもアサートされ、モードレジスタ設定書込制御信号がデアサートされるため、モードレジスタ20に以前の設定値が保持された状態でアクセスが実行される。こうしたアクセス競合を解消するために、図1に示す例外信号生成部41が設けられている。例外信号生成部41でも図10における場合と同様に命令アクセス要求信号70とデータアクセス要求信号98とが同時にアサートされる。同時アクセス検出部68は、命令アクセス要求信号70とデータアクセス要求信号98とが同時にアサートされていると、例外信号9をアサートしプロセッサコア1に与える。プロセッサコア1ではこの例外信号9を受けることによりアクセス競合が発生したことを検知でき、例外処理によってアクセス競合を解決することができる。

【0085】なおこの実施の形態の装置では、モードレジスタ20に設定された値の読出は実施の形態1と同様に行なうことができるが、容易にわかるようにモードレジスタ20へのデータの書込は行なうことはできない。

【0086】このようにマイクロプロセッサに内蔵されているメモリの一部を命令/データ共用メモリ5とし、バス・スイッチ12のモード設定により共用メモリバンク11を各リソースに動的に割当てることができる。そのため、命令アクセスおよびデータアクセスが並列に、かつウエイトなしで行なえる、メモリ容量の比を変更可能なマイクロプロセッサのシングルポートのメモリを使用して得ることができる。この実施の形態2に係る装置では、リソースに割当てられるバンクが各バス上のアクティビティに応じて動的に決定されるので、メモリ容量の比を実施の形態1とは異なりバンク境界と無関係に設定することができる。

【0087】またこの実施の形態2の装置では、同一のメモリバンク11に対する命令アクセスおよびデータアクセスの競合を、例外信号9による例外処理としてソフトウェア処理で解決することができる。そのためアクセス調停に必要なハードウェアを削減でき、過大なハードウェアの追加なしにアクセス競合の調停を行なうことができる。

【0088】さらに、実施の形態1の場合には、モードレジスタ20の値をプログラムにより設定する必要があり、またプログラミング時にはモードレジスタ20の値を意識する必要があるが、この実施の形態2の装置では、モードレジスタ制御部40がモードレジスタ20の値を適切に設定する。したがってプログラム製作時にはモードレジスタ20に格納されている値を意識する必要がなく、プログラム開発が容易になるという効果を得ることができる。

【0089】上記した実施の形態2の装置でも、たとえ

ばマイクロプロセッサに内蔵されているメモリ全体を命令/データ共用メモリ5とし、命令メモリ4またはデータメモリ6またはその双方を取り除くことが可能である。また、メモリアクセスするリソースを、複数のリソースの組合せとすることもできる。その1つの方法はバスを3本以上とし、バス・スイッチ12によってそれらのうち1本を動的にメモリバンクに結合することである。また、各バスに接続されるリソースを複数とすることによっても同様の複数リソースからの各メモリバンクへのアクセスが実現できる。

【0090】さらに、上記実施の形態1、2に共通していえることであるが、命令/データ共用メモリ5を複数個設け、各命令/データ共用メモリ5を共有するリソースを分けることもできる。たとえば第1の命令/データ共用メモリはリソースAおよびBで共用し、他の命令/データ共用メモリをリソースBおよびCで共用する、という構成をとることも可能である。

【0091】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0092】

【発明の効果】請求項1に記載の発明によれば、複数のバンクの各々を、第1のバスおよび第2のバスに選択的に結合させることができるため、第1のバスおよび第2のバスに結合された複数のリソースに対し、バンクを別々に割当てることができる。割当てられるバンクの数を、30 変えることによって各リソースに割当てられるメモリ容量を容易に変更することができる。

【0093】請求項2に記載の発明によれば、請求項1に記載の発明の効果に加えて、バス指定情報を与えることによって、各バンクをそれぞれ第1のバスまたは第2のバスに選択的に結合することができ、各リソースに割当てられるバンクの数を容易に変更することができる。

【0094】請求項3に記載の発明によれば、請求項2に記載の発明の効果に加えて、バス上のアクティビティとは独立に、メモリの各バンクをリソースに割当てることができる。したがって、予め各リソースに割当てべきメモリ容量がわかっている場合にそのためのマイクロプロセッサの構成を前もって最適に設定することができる。

【0095】請求項4に記載の発明によれば、請求項3に記載の発明の効果に加えて、各バンクを各リソースに割当てするための情報を外部から記憶素子に与えデータ書込手段を用いて書込むことによって、静的に各バンクのリソースへの割当てを設定できる。

【0096】請求項5に記載の発明によれば、請求項3に記載の発明の効果に加えて、外部から外部ピンを通じ

てバス指定情報を与えることにより、チップ外から容易に各バンクの各リソースへの割当てを設定することができる。

【0097】請求項6に記載の発明によれば、請求項3に記載の発明の効果に加えて、本来割当てられていないバンクに対するアクセスがあるリソースから発生した場合、そうしたアクセスが発生したことを検出して例外を発生しプロセッサコアに与えることができる。その結果、特別なハードウェアを追加しなくてもプロセッサコアで実行されるプログラムによってこのアクセス違反に対する処理を行なうことができる。

【0098】請求項7に記載の発明によれば、請求項2に記載の発明の効果に加えて、バンクを前もって各リソースに割当ててをせず、第1のバスおよび第2のバス上のアクティビティに基づいて動的に割当てることができる。そのため各リソースに割当てられるメモリ容量をバンク単位でなくより小さな単位で決定することができる。

【0099】請求項8に記載の発明によれば、請求項7に記載の発明の効果に加えて、実際にバンクに対するアクセス要求があるバスで発生したときに、そのバスを指定されたバンクに結合する。その結果、予めバンクの割当てを行なうことができないようなアプリケーションであっても柔軟に対応することができる。

【0100】請求項9に記載の発明によれば、請求項8に記載の発明の効果に加えて、同じバンクに対するアクセス要求が同時に発生した場合、このマイクロプロセッサでは例外が発生されプロセッサコアに与えられる。この例外に回答してプロセッサコアで実行される例外処理プログラムによってこのアクセス要求を調停することができる。そのため過大なハードウェアの追加なしにアクセス要求の調停を行なうことができる。

【0101】請求項10に記載の発明によれば、第1のバスおよび第2のバスに接続されるリソースに、メモリの各バンクを割当てることができる。割当てられるバンクの数を、40 変えることによって、各リソースに割当てられるメモリ容量を容易に変更することができる。

【0102】請求項11に記載の発明によれば、請求項10に記載の発明の効果に加えて、各バンク毎にバス指定情報を与えることによって、各バンクを第1のバスまたは第2のバスに選択的に結合させることができる。これにより各バンクの各リソースへの割当てを容易に行なうことができる。

【0103】請求項12に記載の発明によれば、請求項11に記載の発明の効果に加えて、各バス上のアクティビティとは独立に、バス指定情報をバス・スイッチング回路に与えることによって、バス上のアクティビティとは別個にバンクを各リソースに割当てることができる。このため、予め必要なメモリ容量の割当てがわかっているアプリケーションを実行するためのプロセッサなどを

最適に構成することができる。

【0104】請求項13に記載の発明によれば請求項12に記載の発明の効果に加えて、各リソースに割当てられていないバンクに対するアクセス要求が発生した場合、例外が発生されプロセッサコアに与えられる。したがってプロセッサコアで実行される例外処理プログラムによって違反アクセスを処理することができる。そのため過大なハードウェアの追加をすることなしに違反アクセスを処理できる。

【0105】請求項14に記載の発明によれば、請求項11に記載の発明の効果に加えて、バス上のアクティビティに基づいてバスが動的に選択されバンクに結合される。そのため、各リソースに割当てるメモリ容量を、バンク毎ではなくより小さな単位で調整することができる。またバス上の実際のアクティビティに基づいてバンクを動的に各バスに結合するので、実行時の状況に応じた最適な状態に記憶容量の割当てを維持することができる。

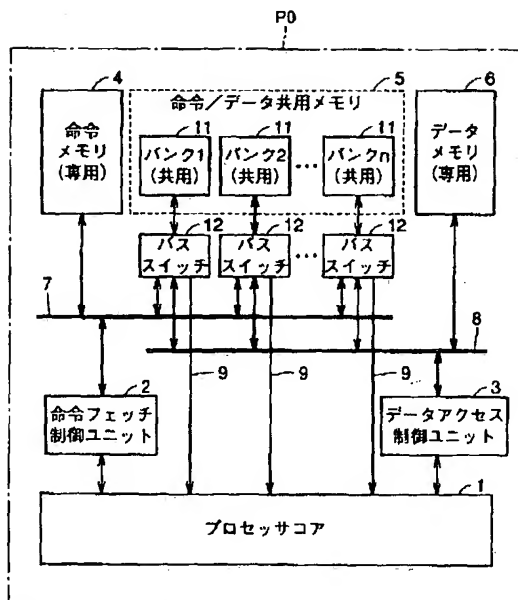
【0106】請求項15に記載の発明によれば、請求項14に記載の発明の効果に加えて、アプリケーションの

開発を容易にすることができる。

【0107】請求項16に記載の発明によれば、請求項15に記載の発明の効果に加えて、2つのバス上で同じバンクに対するアクセス要求が同時に発生した場合、例外が発生しプロセッサコアに与える。プロセッサコアで実行される例外処理プログラムによって競合の解決を図ることができる。したがって過大なハードウェアの追加なしに、記憶装置へのアクセス競合を処理することができる。

【図面の簡単な説明】

【図1】



【図1】 実施の形態1に係るマイクロプロセッサの全体的なブロック図である。

【図2】 バス・スイッチのブロック図である。

【図3】 バス・スイッチング回路のブロック図である。

【図4】 バス・スイッチ制御部51のブロック図である。

【図5】 モードレジスタ制御部30のブロック図である。

【図6】 例外信号生成部31のブロック図である。

【図7】 実施の形態1によるメモリマップの一例を示す図である。

【図8】 他のメモリマップの例を示す図である。

【図9】 実施の形態2に係るマイクロプロセッサのバス・スイッチ制御部82のブロック図である。

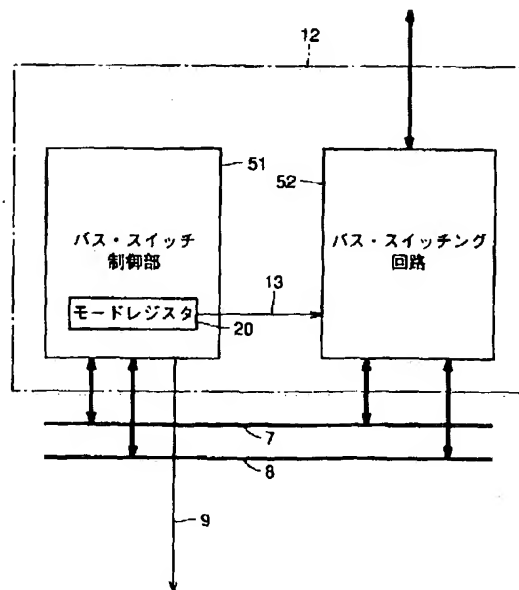
【図10】 モードレジスタ制御部40のブロック図である。

【図11】 例外信号生成部41のブロック図である。

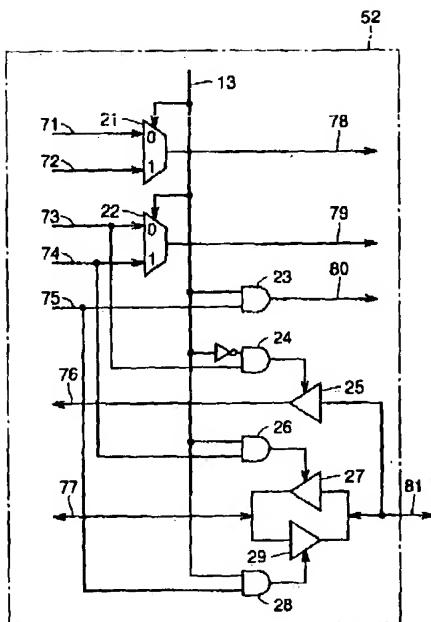
【符号の説明】

1 プロセッサコア、2 命令フェッチ制御ユニット、3 データアクセス制御ユニット、4 命令メモリ、5 命令/データ共用メモリ、6 データメモリ、7 命令バス、8 データバス、9 例外信号、11 共用メモリバンク、12 バス・スイッチ、13 モード信号、20 モードレジスタ、30 モードレジスタ制御部、31 例外信号生成部、40 モードレジスタ制御部、41 例外信号生成部、51 バス・スイッチ制御部、52 バス・スイッチング回路、P0 プロセッサ。

【図2】

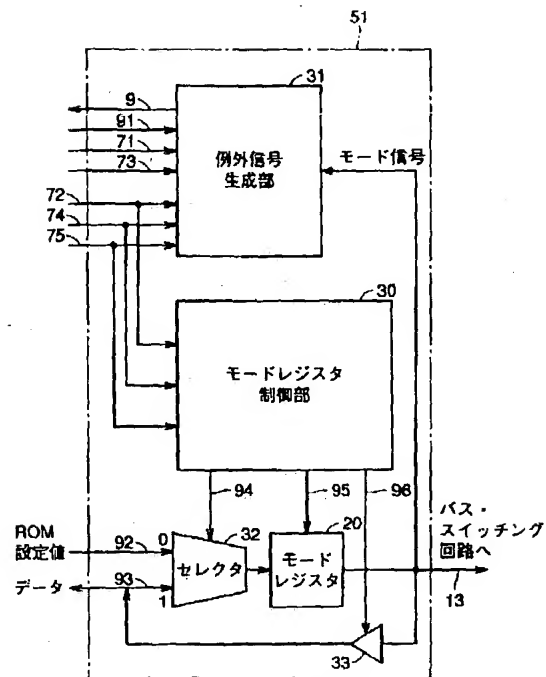


【図3】



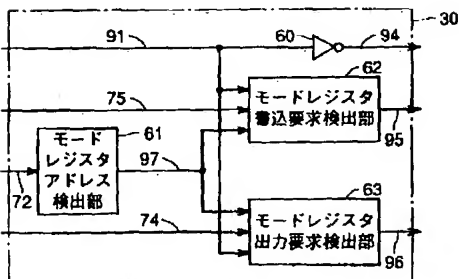
- 21: アドレスセクタ
22: 出力制御信号セクタ
23: 書き制御信号セクタ
24: 命令出力ドライバ制御部
25: 命令出力ドライバ
26: データ出力ドライバ制御部
27: データ出力ドライバ
28: データ入力ドライバ制御部
29: データ入力制御信号

【図4】



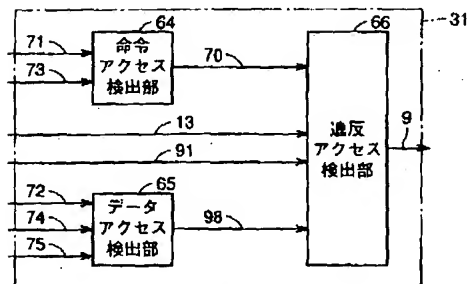
- 30: モードレジスタ制御部
31: 例外信号生成部
32: モードレジスタ入力セクタ
33: モードレジスタ出力ドライバ

【図5】



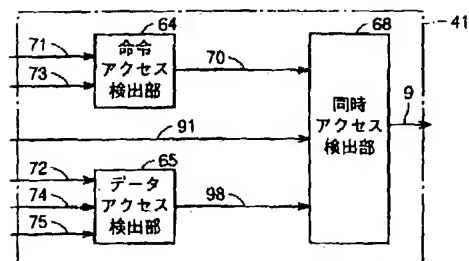
- 60: セクタ制御信号生成部
61: モードレジスタアドレス検出部
62: モードレジスタ書き要求検出部
63: モードレジスタ出力要求検出部

【図6】



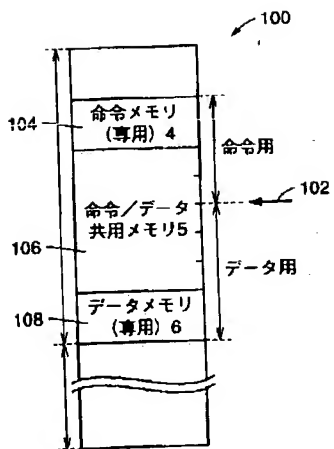
- 64: 命令アクセス検出部
65: データアクセス検出部
66: 違反アクセス検出部

【図11】

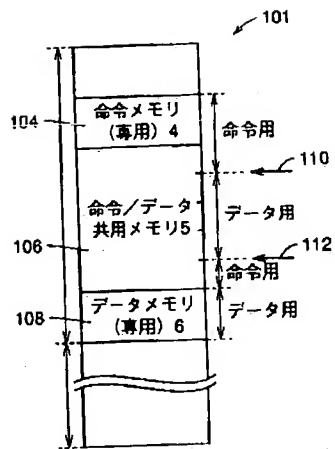


- 68: 同時アクセス検出部

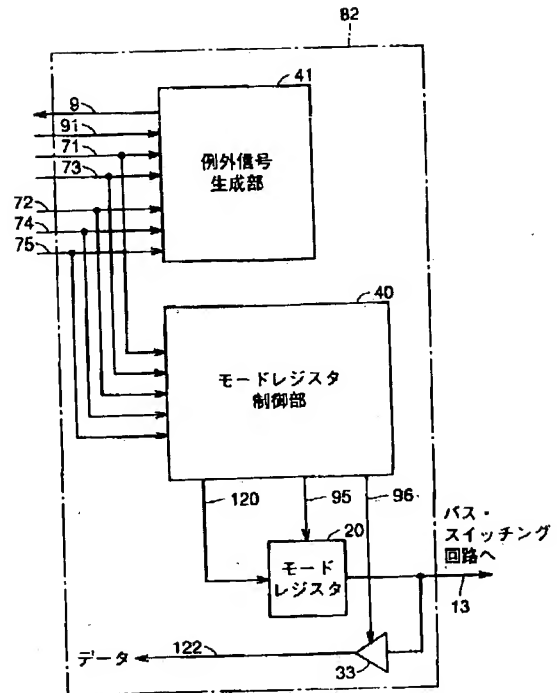
【図7】



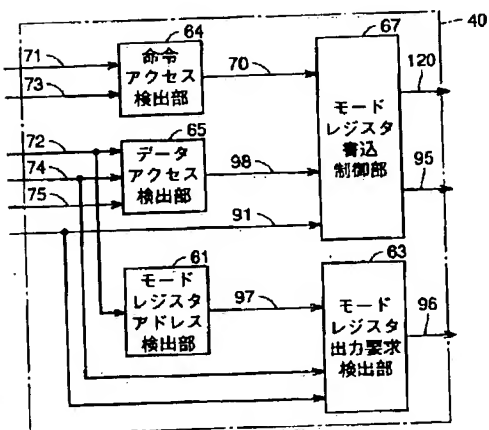
【図8】



【図9】



【図10】



67: モードレジスタ書込制御部